



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0003951
Application Number

출원 년 월 일 : 2003년 01월 21일
Date of Application JAN 21, 2003

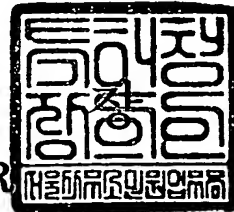
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 22 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0001
【제출일자】 2003.01.21
【발명의 명칭】 반도체 소자의 엠아이엠 캐패시터 형성방법
【발명의 영문명칭】 METHOD FOR FORMING METAL-INSULATOR-METAL CAPACITOR OF SEMICONDUCTOR DEVICE

【출원인】

【명칭】 주식회사 하이닉스반도체

【출원인코드】 1-1998-004569-8

【대리인】

【성명】 강성배

【대리인코드】 9-1999-000101-3

【포괄위임등록번호】 1999-024436-4

【발명자】

【성명의 국문표기】 정이선

【성명의 영문표기】 CHUNG, Yi Sun

【주민등록번호】 661224-1632012

【우편번호】 361-758

【주소】 충청북도 청주시 흥덕구 봉명2동 하이닉스반도체 사원아파트 가동 70 3호

【국적】 KR

【심사청구】 청구

【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
강성배 (인)

【수수료】

【기본출원료】 15 면 29,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 10 항 429,000 원

【합계】 458,000 원

1026030003951

출력 일자: 2003/10/23

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명은 하부 전극을 캐패시터의 유전막으로 활용할 수 있는 반도체 소자의 MIM 캐패시터 형성방법에 관한 것으로, 하부 금속 배선이 노출되도록 제1절연막에 비아를 형성하는 단계; 상기 비아를 포함한 제1절연막 표면에 제1배리어막을 형성하는 단계; 상기 제1배리어막이 형성된 제1절연막상에 금속층을 형성하는 단계; 상기 금속층상에 제2배리어막과 제3배리어막을 형성한 다음, 캐패시터 하부전극층을 형성하는 단계; 상기 캐패시터 하부전극층을 산화시켜 유전막 역할층을 형성하는 단계; 상기 유전막 역할층상에 캐패시터 상부전극층을 형성하는 단계; 및 상기 캐패시터 상부전극층과 유전막 역할층 및 캐패시터 하부전극층을 패터닝하여 캐패시터를 형성하는 단계를 포함하는 것을 특징으로 하며, 하부전극을 산화하는 방법으로 캐패시터를 형성할 경우 우선 고유전을 유전막 재료의 증착 장비를 확보하지 않아도 되기 때문에 경제적인 측면에서 매우 큰 장점이 있다. 또한, 하부전극 증착 장비에 산소 분위기를 만들 수 있는 챔버 구성으로 공정을 한 장비내에서 인시튜로 진행할 수 있기 때문에 공정 시간을 크게 줄일 수 있다. 더욱이, 한 장비에서 공정을 진행하므로 기판 이동에 의한 오염을 최소한으로 줄일 수 있는 것이다.

【대표도】

도 12

【명세서】

【발명의 명칭】

반도체 소자의 엠아이엠 캐패시터 형성방법{METHOD FOR FORMING METAL-INSULATOR-METAL CAPACITOR OF SEMICONDUCTOR DEVICE}

【도면의 간단한 설명】

도 1 내지 도 5는 종래 기술에 따른 반도체 소자의 MIM 캐패시터 형성방법을 설명하기 위한 공정별 단면도.

도 6 내지 도 12는 본 발명에 따른 반도체 소자의 MIM 캐패시터 형성방법을 설명하기 위한 공정별 단면도.

* 도면의 주요부분에 대한 부호의 설명 *

100; 하부 금속 배선 150; 제1절연막

200; 비아 250; 제1배리어막

300; 금속층 350; 제2배리어막

370; 제3배리어막 400; 캐패시터 하부전극층

450; 유전막 역할층 500; 캐패시터 상부전극층

600; 제2절연막 700; 배리어메탈

800; 구리배선

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 반도체 소자의 MIM 캐패시터 형성방법에 관한 것으로, 보다 상세하게는 하부 전극을 산화시켜 MIM 캐패시터의 유전막으로 활용함으로써 유전막 증착 단계를 없앨 수 있는 반도체 소자의 MIM 캐패시터 형성방법에 관한 것이다.
- <12> 높은 정밀도를 요구하는 씨모스 아이씨 로직 소자(CMOS IC Logic device)에 적용되는 아날로그 캐패시터(Analog Capacitor)는 어드벤스드 아날로그 모스 기술 (Advanced Analog MOS Technology), 특히, A/D 컨버터나 스위칭 캐패시터 필터 분야의 핵심 요소이다. 이러한 아날로그 캐패시터의 구조로는 PIP(Polysilicon-Insulator-Polysilicon), PIM(Polysilicon-Insulator-Metal), MIP(Metal-Insulator-Polysilicon) 및 MIM(Metal-Insulator-Metal) 등 다양한 구조들이 이용되어 왔다.
- <13> 이들 중에서, MIM 구조는 직렬 저항이 낮아 높은 캐패시턴스를 갖는 캐패시터를 구현할 수 있고, 특히, 써멀 버짓(Thermal Budget) 및 Vcc가 낮다는 잇점 때문에, 아날로그 캐패시터의 대표적 구조로 이용되고 있다.
- <14> 이러한 MIM 캐패시터는 반도체 회로에서 RF 회로, 아날로그 IC, 하이파워 MPU에서의 디커플링 캐패시터, 디램 셀 등 다양하게 응용되고 있다.
- <15> 종래 기술에 따른 반도체 소자의 MIM 캐패시터 형성방법을 도 1 내지 도 5를 참조하여 설명한다.



- <16> 종래 기술에 따른 반도체 소자의 MIM 캐패시터 형성방법은, 도 1에 도시된 바와 같이, 듀얼 다마신(Dual Damascene) 공정으로 하부의 메탈 배선(10)이 개방되도록 절연막(15)에 비아(20)를 형성한 다음 배리어 메탈(25)을 형성한다. 이때, 배리어 메탈(25)로는 Ti 등을 이용한다.
- <17> 그다음, 도 2에 도시된 바와 같이, 하부 전극층으로 구리(30)를 증착한다.
- <18> 이어서, 도 3에 도시된 바와 같이, CMP 공정을 실시한 후 Si_3N_4 또는 SiC를 증착한다. 계속하여, 포토 공정과 에칭 공정을 실시한 다음 배리어 메탈층(40)을 형성한다.
- <19> 다음으로, 도 4에 도시된 바와 같이, 고유전막(40)과 상부 전극층(50)을 형성한다.
- <20> 그다음, 도 5에 도시된 바와 같이, 포토 공정으로 구리층(30a)과 고유전막(45a)과 상부 전극층(50a)을 포함하는 캐패시터 구조를 완성하고, 후속 공정을 통하여 금속배선(55)을 형성한다.

【발명이 이루고자 하는 기술적 과제】

- <21> 그런데, 종래 기술에 따른 반도체 소자의 MIM 캐패시터 형성방법에 있어서는 다음과 같은 문제점이 있다.
- <22> 종래 기술에 있어서는, 캐패시터의 유전막으로서 고유전을 재료인 Ta_2O_5 , Hf_2O_5 , 또는 Zr_2O_5 등을 CVD, 스퍼터링, ALD 방식으로 증착하는데, 이러한 고유전을 재료는 다공성(Porous)이라는 재료 특유의 특성을 가지고 있다. 따라서, 증착 공정후 플라즈마 처리나 어닐링 처리 등의 증착후 처리 절차가 반드시 필요하다. 따라서, 전체적인 공정수가 많아 공정 시간이 오래 걸리는 등 제조 비용이 크다는 문제점이 있다.



<23> 이에 본 발명은 상기한 종래 기술의 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 하부전극을 일정한 처리를 통하여 절연막으로 형성함으로써 별도의 유전막 형성 공정을 하지 않아도 되어 공정의 단순화를 이룰 수 있는 반도체 소자의 MIM 캐패시터 형성방법을 제공함에 있다.

【발명의 구성 및 작용】

<24> 상기 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 MIM 캐패시터 형성방법은, 하부 금속 배선이 노출되도록 제1절연막에 비아를 형성하는 단계; 상기 비아를 포함한 제1절연막 표면에 제1배리어막을 형성하는 단계; 상기 제1배리어막이 형성된 제1절연막상에 금속층을 형성하는 단계; 상기 금속층상에 제2배리어막과 제3배리어막을 형성한 다음, 캐패시터 하부전극층을 형성하는 단계; 상기 캐패시터 하부전극층을 산화시켜 유전막 역할층을 형성하는 단계; 상기 유전막 역할층상에 캐패시터 상부전극층을 형성하는 단계; 및 상기 캐패시터 상부전극층과 유전막 역할층 및 캐패시터 하부전극층을 패터닝하여 캐패시터를 형성하는 단계를 포함하는 것을 특징으로 한다.

<25> 본 발명에 의하면, 캐패시터 하부전극을 일정한 처리를 통하여 절연막으로 형성함으로써 별도의 유전막 형성 공정을 하지 않아도 된다.

<26> 이하, 본 발명에 따른 반도체 소자의 MIM 캐패시터 형성방법을 첨부한 도면을 참조하여 상세히 설명한다.

<27> 도 6 내지 도 12는 본 발명에 따른 반도체 소자의 MIM 캐패시터 형성방법을 설명하기 위한 공정별 단면도이다.

- <28> 본 발명에 따른 반도체 소자의 MIM 캐패시터 형성방법은, 도 6에 도시된 바와 같이, 하부 금속 배선(100)이 노출되도록 제1절연막(150)에 비아(200)를 형성하고, 상기 제1절연막(150) 표면에 TiN, TaN, Ta 등을 증착하여 제1배리어막(250)을 형성한다.
- <29> 이어서, 도 7에 도시된 바와 같이, 상기 제1배리어막(250)이 형성된 제1절연막(150) 상에 구리 등을 증착하여 금속층(300)을 형성한 후 CMP 공정을 진행하여 평탄화 한다.
- <30> 그런다음, 도 8에 도시된 바와 같이, 상기 금속층(300)상에 제2배리어막(350)과 제3배리어막(370)을 형성한 다음, 캐패시터 하부전극층(400)을 형성한다.
- <31> 상기 캐패시터 하부전극층(400)으로는 고유전율막을 형성할 수 있는 금속으로 형성하는데, 상기 금속으로는 TaN, Ta, Ti, TiN 및 Ru으로 이루어진 군으로부터 선택된 어느 하나를 들 수 있다.
- <32> 또한, 상기 금속은 CVD와 ALD 및 스퍼터링 중에서 어느 하나를 이용하여 비정질 구조로 형성한다. 상기한 TaN 등은 비정질 상태로 증착되고 산화성이 좋다. 따라서, TaN 등을 캐패시터 하부전극층으로는 물론 이를 산화시켜 캐패시터의 유전막으로도 사용하려는 것이다.
- <33> 이어서, 도 9에 도시된 바와 같이, 산소 플라즈마 처리, 오존 플라즈마 처리 및 산소 어닐링 처리 중에서 선택된 어느 하나의 산화처리를 이용하여 상기 캐패시터 하부전극층(400)을 약 10Å 내지 800Å 정도 산화시켜 유전막 역할층(450)을 형성한다.
- <34> 상기 산화처리는 최대 500℃에서 진행하는데, 상기 산소 플라즈마 처리는 100W ~ 30,000W 파워로, 바람직하게는 200W ~ 3,000W 파워로 진행한다.

- <35> 다음으로, 도 10에 도시된 바와 같이, 상기 유전막 역할층(450)상에 TaN, Ta, Ti, TiN 및 Ru으로 이루어진 군으로부터 선택된 어느 하나를 증착하여 캐패시터 상부전극층(500)을 형성한다.
- <36> 이때, 상기 캐패시터 하부전극층(400)과 유전막 역할층(450) 및 캐패시터 상부전극층(500) 형성공정을 인시튜로 동일장비에서 수행하는 것이 공정 진행 시간 및 기판 이동으로 인한 오염 가능성을 최소화하는데 바람직하다 할 것이다.
- <37> 이어서, 도 11에 도시된 바와 같이, 상기 캐패시터 상부전극층(500)과 유전막 역할층(450) 및 캐패시터 하부전극층(400)을 패터닝하여 상부전극(500a)과 유전막(450a) 및 하부전극(400a)으로 구성된 캐패시터 구조를 형성한다.
- <38> 다음, 도 12에 도시된 바와 같이, 주지된 바와 같이 제2절연막(600) 증착, 포토 공정, 에칭 공정, 배리어 메탈(700) 증착, 구리(800) 증착, 어닐링 및 CMP 공정을 통한 구리 배선(800) 형성 공정 등으로 반도체 소자를 완성한다.
- <39> 본 발명의 원리와 정신에 위배되지 않는 범위에서 여러 실시예는 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명할 뿐만 아니라 용이하게 실시할 수 있다. 따라서, 본원에 첨부된 특허청구범위는 이미 상술된 것에 한정되지 않으며, 하기 특허청구범위는 당해 발명에 내재되어 있는 특허성 있는 신규한 모든 사항을 포함하며, 아울러 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해서 균등하게 처리되는 모든 특징을 포함한다.

【발명의 효과】

- <40> 이상에서 설명한 바와 같이, 본 발명에 따른 반도체 소자의 MIM 캐패시터 형성방법에 있어서는 다음과 같은 효과가 있다.

<41> 본 발명에 있어서는, 하부전극을 산화하는 방법으로 캐패시터를 형성할 경우 우선 고유 전율 유전막 재료의 증착 장비를 확보하지 않아도 되기 때문에 경제적인 측면에서 매우 큰 장점이 있다. 또한, 하부전극 증착 장비에 산소 분위기를 만들 수 있는 챔버 구성으로 공정을 한 장비내에서 인시튜로 진행할 수 있기 때문에 공정 시간을 크게 줄일 수 있다. 더욱이, 한 장비에서 공정을 진행하므로 기판 이동에 의한 오염을 최소한으로 줄일 수 있다.

【특허청구범위】**【청구항 1】**

하부 금속 배선이 노출되도록 제1절연막에 비아를 형성하는 단계;

상기 비아를 포함한 제1절연막 표면에 제1배리어막을 형성하는 단계;

상기 제1배리어막이 형성된 제1절연막상에 금속층을 형성하는 단계;

상기 금속층상에 제2배리어막과 제3배리어막을 형성한 다음, 캐패시터 하부전극층을 형성하는 단계;

상기 캐패시터 하부전극층을 산화시켜 유전막 역할층을 형성하는 단계;

상기 유전막 역할층상에 캐패시터 상부전극층을 형성하는 단계; 및

상기 캐패시터 상부전극층과 유전막 역할층 및 캐패시터 하부전극층을 패터닝하여 캐패시터를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

【청구항 2】

제1항에 있어서,

상기 캐패시터 하부전극층은 고유전율막을 형성할 수 있는 금속으로 형성하는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

【청구항 3】

제2항에 있어서,

상기 금속은 CVD와 ALD 및 스퍼터링 중에서 어느 하나를 이용하여 비정질 구조로 형성하는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

【청구항 4】

제2항 내지 제3항에 있어서,

상기 금속은 TaN, Ta, Ti, TiN 및 Ru으로 이루어진 군으로부터 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

【청구항 5】

제2항에 있어서,

상기 캐패시터 하부전극층을 산화시켜 유전막 역할층을 형성하는 단계는, 상기 캐패시터 하부전극층을 10Å 내지 800Å 산화시키는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

【청구항 6】

제5항에 있어서,

상기 산화는 산소 플라즈마 처리, 오존 플라즈마 처리 및 산소 어닐링 처리 중에서 선택된 어느 하나의 산화처리를 이용하는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

【청구항 7】

제6항에 있어서,

상기 산소 플라즈마 처리는 100W ~ 30,000W 파워로 진행하는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

【청구항 8】

제6항에 있어서,

상기 산소 플라즈마 처리는 200W ~ 3,000W 파워로 진행하는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

【청구항 9】

제1항에 있어서,

상기 캐패시터 상부전극층은, TaN, Ta, Ti, TiN 및 Ru으로 이루어진 군으로부터 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

【청구항 10】

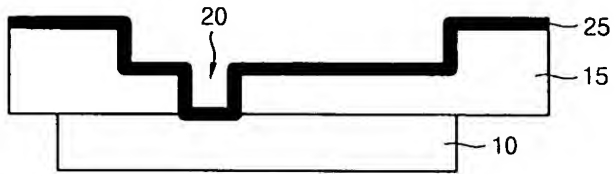
제1항에 있어서,

상기 캐패시터 하부전극층과, 상기 유전막 역할층 및 상기 캐패시터 상부전극층은 인시튜로 형성하는 것을 특징으로 하는 반도체 소자의 MIM 캐패시터 형성방법.

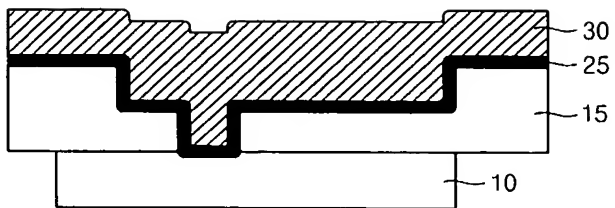


【도면】

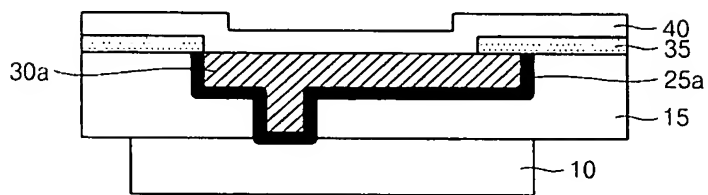
【도 1】



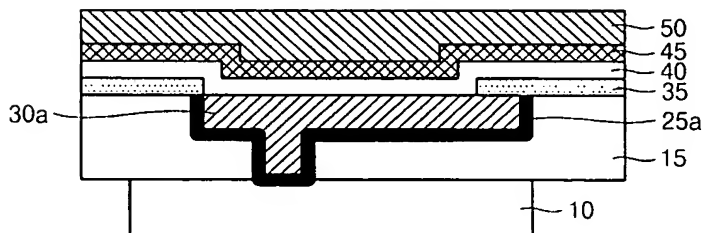
【도 2】



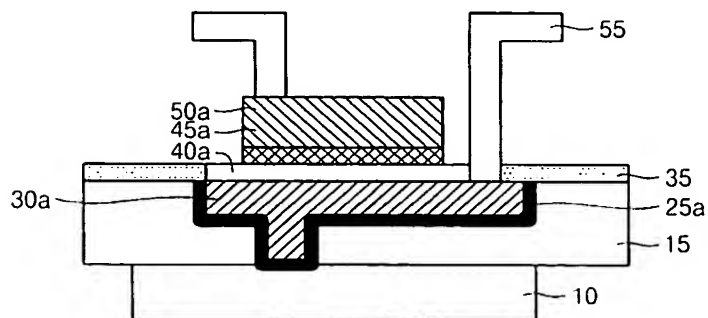
【도 3】



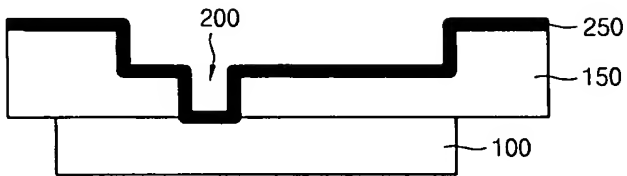
【도 4】



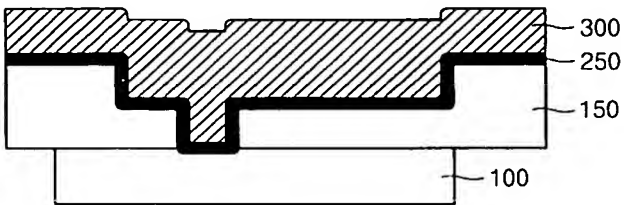
【도 5】



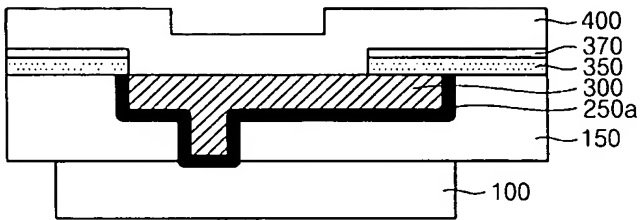
【도 6】



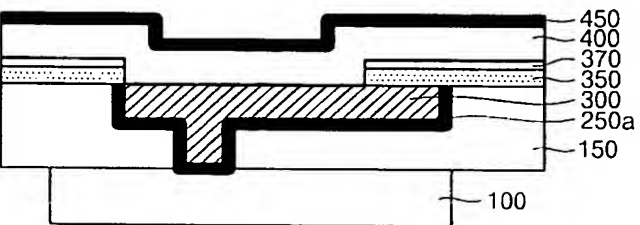
【도 7】



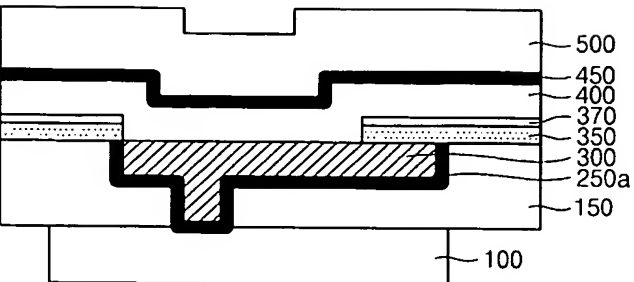
【도 8】



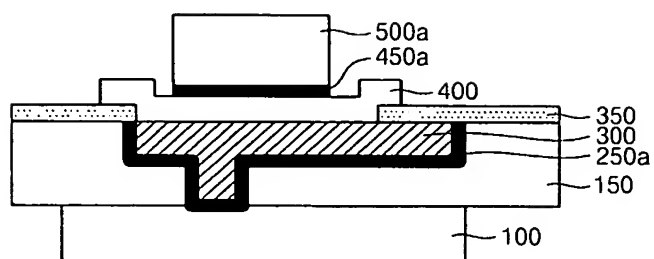
【도 9】



【도 10】



【도 11】



【도 12】

